



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079348
Application Number

출원년월일 : 2002년 12월 12일
Date of Application DEC 12, 2002

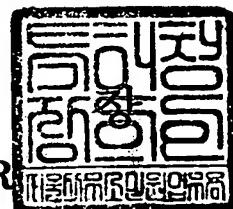
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 19 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2002.12.12		
【발명의 명칭】	입력 버퍼		
【발명의 영문명칭】	Input buffer		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	박상수		
【대리인코드】	9-1998-000642-5		
【포괄위임등록번호】	2000-054081-9		
【발명자】			
【성명의 국문표기】	신순균		
【성명의 영문표기】	SHIN, SOON KYUN		
【주민등록번호】	720420-1892836		
【우편번호】	463-050		
【주소】	경기도 성남시 분당구 서현동 효자촌 동아아파트 212동 901호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 박상수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	12	항	493,000 원
【합계】	526,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 입력 버퍼를 공개한다. 이 회로는 전원전압과 패드사이에 연결되고 제어 전압이 인가되는 게이트와 플로팅 웰 전압이 인가되는 기판을 가진 풀업 트랜지스터, 전원전압이 인가되는 게이트와 접지전압에 연결된 기판을 가지고 패드로 인가되는 신호를 전송하는 전송 트랜지스터, 전송 트랜지스터로 인가되는 신호를 버퍼하여 입력 신호를 발생하는 버퍼, 및 패드로 고전압이 인가되면 패드로 인가되는 전압을 제어전압 및 플로팅 웰 전압으로 발생하고, 패드로 고전압미만의 전압이 인가되면 제어전압으로 접지전압을, 플로팅 웰 전압으로 전원전압을 발생하는 제어회로로 구성되어 있다. 따라서, 패드가 플로팅 상태로 되는 경우에 패드를 전원전압 레벨로 풀업함으로써 외부의 장치의 패드에 연결된 입력 버퍼를 통한 누설 전류를 방지할 수 있으며, 패드로 고전압이 인가되는 경우에 풀업 트랜지스터가 오프됨으로써 풀업 트랜지스터가 고전압으로부터 보호될 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

입력 버퍼{Input buffer}

【도면의 간단한 설명】

도1은 종래의 풀업 수단을 구비한 입력 버퍼의 실시예의 회로도이다.

도2는 본 발명의 입력 버퍼의 실시예의 구성을 나타내는 것이다.

도3은 본 발명의 입력 버퍼의 실시예의 회로도이다.

도4는 도3에 나타낸 회로의 패드로 인가되는 전압 변화에 따른 각 노드의 전압 변화를 나타내는 것이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <5> 본 발명은 입력 버퍼에 관한 것으로, 특히 풀업 수단을 가진 입력 버퍼에 관한 것이다.
- <6> 반도체 장치는 공정 기술의 발전으로 딥-서브미크론(deep-submicron) 선풍 기술을 사용하게 됨에 따라 전원전압이 3.3V에서 점차 낮아지고 있으나, 이러한 반도체 장치가 적용되는 시스템의 전원전압은 일반적으로 반도체 장치 내부의 전원전압보다 고전압, 예를 들면, 5V가 된다.
- <7> 따라서, 반도체 장치의 입력 회로는 외부로부터 고전압이 유입되는 경우에도 안정적으로 동작할 수 있는 고전압 톤러런트 기능을 구비하고 있다.

<8> 일반적으로, 반도체 장치의 입력 회로라고 함은 패드로부터 입력되는 신호를 버퍼하는 입력 버퍼를 말한다.

<9> 종래의 풀업 수단을 가진 입력 버퍼는 패드로부터 입력되는 신호를 버퍼하고, 패드가 플로팅 상태일 경우에 풀업 수단에 의해서 패드를 풀업한다.

<10> 그런데, 종래의 풀업 수단을 가진 입력 버퍼는 패드가 플로팅 상태일 경우에 풀업 수단에 의해서 패드를 전원전압 레벨로 풀업하지 못하고, 전원전압에서 문턱전압을 뺀 전압으로 풀업하게 된다. 이에 따라, 반도체 장치의 패드에 연결된 외부 장치의 패드에 연결된 입력 버퍼가 온되게 되어 외부 장치의 패드에 연결된 입력 버퍼를 통하여 누설 전류를 유발하게 된다는 문제점이 있었다.

<11> 도1은 종래의 풀업 수단을 구비한 입력 버퍼의 실시예의 회로도로서, NMOS트랜지스터(N1), PMOS트랜지스터(P1), 및 버퍼(BUF1)로 구성되어 있다.

<12> 도1에서, 10으로 나타낸 것은 패드를 나타낸다.

<13> 도1에 나타낸 회로의 동작을 설명하면 다음과 같다.

<14> NMOS트랜지스터(N1)는 항상 온되어 있고, 패드(10)로 접지전압 레벨의 신호가 인가되는 경우에는 접지전압 레벨의 신호를 노드(n)로 전송하고, 고전압 또는 전원전압 레벨의 신호가 인가되는 경우에는 노드(n)로 고전압에서 NMOS트랜지스터(N1)의 문턱전압(V_{tn})을 뺀 전압($VDD-V_{tn}$)을 전송한다. 즉, NMOS트랜지스터(N1)가 고전압 툴러런트 기능을 수행한다. 버퍼(BUF1)는 노드(n)의 신호를 버퍼하여 입력 신호(IN)를 발생한다. 이와같은 동작시에 PMOS트랜지스터(P1)는 노드(n)의 전압에 영향을 미치지 않도록 설계되어 있다.

<15> 패드(10)가 플로팅 상태가 되면, PMOS트랜지스터(P1)는 노드(n)를 전원전압(VDD) 레벨로 풀업한다. NMOS트랜지스터(N1)는 전원전압(VDD)에서 NMOS트랜지스터(N1)의 문턱 전압(V_{tn})을 뺀 전압($VDD - V_{tn}$)을 패드(10)로 전송한다. 즉, 패드(10)는 전원전압(VDD) 레벨로 완전하게 풀업되지 못하고 전원전압(VDD)에서 NMOS트랜지스터(N1)의 문턱전압(V_{tn})을 뺀 전압($VDD - V_{tn}$)으로 풀업된다. 따라서, PMOS트랜지스터(P1)에 의해서 패드(10)가 플로팅 상태로 되는 것을 방지하게 된다.

<16> 그런데, 이때 패드(10)가 전원전압(VDD)에서 NMOS트랜지스터(N1)의 문턱전압(V_{tn})을 뺀 전압($VDD - V_{tn}$)으로 풀업되기 때문에 패드(10)에 연결된 외부의 다른 장치의 패드에 연결된 입력 버퍼가 온되어 외부의 다른 장치의 패드에 연결된 입력 버퍼를 통하여 누설 전류를 유발하게 된다는 문제점이 있었다.

<17> 물론, 입력 버퍼를 구성시에 PMOS트랜지스터(P1)를 패드(10)에 직접 연결하여 구성하게 되면 패드(10)가 플로팅 상태로 되는 경우에 패드(10)를 전원전압 레벨로 풀업하는 것이 가능하다. 그러나, 이와같이 구성하게 되면 패드(10)로 고전압이 유입되는 경우에 PMOS트랜지스터(P1)의 게이트와 드레인사이의 전압 차가 너무 커서 PMOS트랜지스터(P1)의 게이트 옥사이드가 파괴된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 패드가 플로팅 상태로 되는 경우에 패드를 전원전압 레벨로 풀업하는 것이 가능하며, 패드로 고전압이 인가되는 경우에 풀업 수단을 보호할 수 있는 입력 버퍼를 제공하는데 있다.

<19> 상기 목적을 달성하기 위한 본 발명의 입력 버퍼는 전원전압과 패드사이에 연결되고 제어전압이 인가되는 게이트와 플로팅 웰 전압이 인가되는 기판을 가진 풀업 트랜지스터, 전원전압이 인가되는 게이트와 접지전압에 연결된 기판을 가지고 상기 패드로 인가되는 신호를 전송하는 전송 트랜지스터, 상기 전송 트랜지스터로 인가되는 신호를 버퍼하여 입력 신호를 발생하는 버퍼, 및 상기 패드로 고전압이 인가되면 상기 패드로 인가되는 전압을 상기 제어전압 및 플로팅 웰 전압으로 발생하고, 상기 패드로 상기 고전압미만의 전압이 인가되면 상기 제어전압으로 접지전압을, 상기 플로팅 웰 전압으로 전원전압을 발생하는 제어수단을 구비하는 것을 특징으로 한다.

<20> 상기 제어수단은 상기 패드로 고전압이 인가되면 고전압 검출신호를 발생하는 고전압 검출회로, 상기 패드로 고전압미만의 전압이 인가되면 상기 고전압 검출신호를 리셋하기 위한 고전압 검출 리셋 신호를 발생하는 고전압 검출 리셋 회로, 및 상기 고전압 검출신호가 발생되면 상기 패드로 인가되는 전압을 상기 제어 전압 및 상기 플로팅 웰 전압으로 발생하고, 상기 고전압 검출신호가 리셋되면 접지전압을 상기 제어전압으로, 전원전압을 상기 플로팅 웰 전압으로 발생하는 제어전압 및 플로팅 웰 전압 발생회로를 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<21> 이하, 첨부한 도면을 참고로 하여 본 발명의 입력 버퍼를 설명하면 다음과 같다.
 <22> 도2는 본 발명의 입력 버퍼의 실시예의 구성을 나타내는 것으로, 고전압 검출회로(100), 제어전압 및 플로팅 웰 전압 발생회로(110), 고전압 검출 리셋 회로(120), PMOS 트랜지스터(P2), NMOS트랜지스터(N2), 및 버퍼(BUF2)로 구성되어 있다.

<23> 도2에서, 20으로 나타낸 것은 패드를 나타낸다.

<24> 도2에 나타낸 구성의 기능을 설명하면 다음과 같다.

<25> 고전압 검출회로(100)는 플로팅 웰 전압(VFW)가 인가되어 패드(20)로 전원전압(VDD) 레벨이상의 전압이 인가되면 고전압 검출신호(VDET)를 발생하고, 고전압 리셋 신호(VRE)에 응답하여 고전압 검출신호(VDET)를 리셋한다.

<26> 제어전압 및 플로팅 웰 전압 발생회로(110)는 고전압 검출신호(VDET)가 발생되면 패드(20)로 인가되는 전압을 플로팅 웰 전압(VFW) 및 제어전압(CON)으로 발생하고, 고전압 검출신호(VDET)가 리셋되면 전원전압(VDD)을 플로팅 웰 전압(VFW)으로 발생하고, 접지전압을 제어전압(CON)으로 발생한다.

<27> 고전압 검출 리셋 회로(120)는 패드(20)로 인가되는 전압이 전원전압(VDD) 레벨이상의 전압이 아니면 고전압 검출 리셋 신호(VRE)를 발생한다.

<28> PMOS트랜지스터(P2)는 플로팅 웰 전압(VFW) 및 제어전압(CON)이 패드(20)로 인가되는 전압이면 오프되고, 플로팅 웰 전압(VFW)이 전원전압(VDD)이고 제어전압(CON)이 접지전압이면 온되어 패드(20)를 전원전압(VDD) 레벨로 풀업한다. NMOS트랜지스터(N2)는 패드(20)로 인가되는 전압을 전송한다. 즉, 패드(20)로 인가되는 전압이 전원전압(VDD) 레벨보다 낮으면 패드(20)로 인가되는 전압을 전송하고, 패드(20)로 인가되는 전압이 전원전압(VDD) 레벨이상이면 패드(20)로 인가되는 전압에서 NMOS트랜지스터(N2)의 문턱전압(V_{tn})을 뺀 전압을 전송한다. 버퍼(BUF2)는 NMOS트랜지스터(N2)를 통하여 전송되는 신호의 레벨이 버퍼(BUF2)의 트립 전압에 다다르면 입력 신호(IN)의 레벨을 천이한다.

<29> 도2에 나타낸 바와 같이 본 발명의 입력 버퍼는 풀업 수단인 PMOS트랜지스터(P2)를 패드(20)에 연결하여 구성하고, 패드(20)로 전원전압(VDD) 레벨이상의 고전압이 인가되는 경우에 PMOS트랜지스터(P2)를 보호하기 위한 고전압 검출회로(100), 제어전압 및 플로팅 웰 전압 발생회로(110), 및 고전압 검출 리셋 회로(120)를 구비하여 구성되어 있다.

<30> 즉, 본 발명의 입력 버퍼는 PMOS트랜지스터(P2)를 고전압으로부터 보호하기 위하여 패드(20)로 전원전압(VDD) 레벨이상의 고전압이 인가되는 경우에는 PMOS트랜지스터(P2)를 오프하고, 패드(20)로 접지전압 레벨로부터 전원전압(VDD) 레벨사이의 전압이 인가되는 경우에는 PMOS트랜지스터(P2)를 온하여 전원전압(VDD) 레벨로 풀업한다. 따라서, 패드(20)가 플로팅 상태인 경우에 패드(20)를 전원전압(VDD) 레벨로 풀업함으로써 외부의 장치의 패드에 연결된 입력 버퍼를 통한 누설 전류가 제거될 수 있다.

<31> 도3은 본 발명의 입력 버퍼의 실시예의 회로도로서, 고전압 검출회로(100)는 PMOS 트랜지스터들(P3, P4, P5) 및 NMOS트랜지스터들(N3, N4, N5)로 구성되고, 제어전압 및 플로팅 웰 전압 발생회로(110)는 PMOS트랜지스터들(P7, P8, P9), 및 NMOS트랜지스터들(N6, N7)로 구성되고, 고전압 검출 리셋 회로(120)는 PMOS트랜지스터들(P9, P10), 및 NMOS트랜지스터들(N8, N9)로 구성되어 있다.

<32> 도3에 나타낸 회로의 구성을 상세하게 설명하면 다음과 같다.

<33> 고전압 검출회로(100)는 노드(A)와 노드(B)사이에 연결되고 전원전압(VDD)이 인가되는 게이트와 플로팅 웰 전압(VFW)이 인가되는 기판을 가진 PMOS트랜지스터(P3), 노드(B)와 노드(C)사이에 연결되고 전원전압(VDD)이 인가되는 게이트와 접지전압이 인가되는 기판을 가진 NMOS트랜지스터(N3), 노드(C)에 연결된 드레인과 고전압 검출 리셋 신호

(VRE)가 인가되는 게이트와 접지전압에 연결된 소스를 가진 NMOS트랜지스터(N4), 전원전압(VDD)이 인가되는 소스와 게이트와 노드(B)에 연결된 게이트를 가진 PMOS트랜지스터(P4), PMOS트랜지스터(P4)의 드레인에 연결된 소스와 노드(C)에 연결된 게이트를 가진 PMOS트랜지스터(P5), 및 PMOS트랜지스터(P5)의 드레인에 연결된 드레인과 노드(C)에 연결된 게이트와 접지전압에 연결된 소스와 기판을 가진 NMOS트랜지스터(N5)로 구성되고, NMOS트랜지스터(N5)의 드레인을 통하여 고전압 검출신호(VDET)를 발생한다.

<34> 제어전압 및 플로팅 웨爾 전압 발생회로(110)는 고전압 검출신호(VDET)가 인가되는 게이트와 접지전압에 연결된 소스와 기판을 가진 NMOS트랜지스터(N7), 전원전압(VDD)이 인가되는 게이트와 NMOS트랜지스터(N7)의 드레인에 연결된 소스와 접지전압에 연결된 기판을 가진 NMOS트랜지스터(N6), 전원전압(VDD)이 인가되는 소스/드레인과 NMOS트랜지스터의 드레인에 연결된 게이트와 플로팅 웨爾 전압(VFW)이 인가되는 기판을 가진 PMOS트랜지스터(P7), 전원전압(VDD)이 인가되는 게이트와 PMOS트랜지스터(P7)의 게이트와 패드(20)사이에 연결된 드레인/소스와 소스/드레인과 플로팅 웨爾 전압(VFW)이 인가되는 기판을 가진 PMOS트랜지스터(P6), 및 PMOS트랜지스터(P7)의 드레인/소스에 연결된 소스/드레인과 전원전압(VDD)이 인가되는 게이트와 패드(20)에 연결된 드레인/소스와 플로팅 웨爾 전압(VFW)이 인가되는 기판을 가진 PMOS트랜지스터(P8)로 구성되고, PMOS트랜지스터(P6)의 소스/드레인을 통하여 제어전압(CON)을 발생한다.

<35> 고전압 검출 리셋 회로(120)는 전원전압(VDD)이 인가되는 게이트와 접지전압에 연결된 기판과 패드(20)에 연결된 드레인/소스를 가진 NMOS트랜지스터(N8), 전원전압(VDD)이 인가되는 소스와 기판과 패드(20)에 연결된 게이트를 가진 PMOS트랜지스터(P9), PMOS트랜지스터(P9)의 드레인에 연결된 소스와 NMOS트랜지스터(N8)의 드레인/소스에 연결된

게이트와 전원전압(VDD)이 인가되는 기판을 가진 PMOS트랜지스터(P10), 및 NMOS트랜지스터(N8)의 드레인/소스에 연결된 게이트와 PMOS트랜지스터(P10)의 드레인에 연결된 드레인과 접지전압에 연결된 소스와 기판을 가진 NMOS트랜지스터(N9)를 구비하고, NMOS트랜지스터(N9)의 드레인을 통하여 고전압 리셋 신호(VRE)를 발생한다.

<36> 도4는 도3에 나타낸 회로의 패드로 인가되는 전압 변화에 따른 각 노드의 전압 변화를 나타내는 것으로, (a)는 패드(20)의 전압 변화를, (b)는 노드(B)의 전압 변화를, (c)는 노드(C)의 전압 변화를, (d)는 고전압 검출 리셋 신호(VRE)의 전압 변화를, (e)는 고전압 검출 신호(VDET)의 전압 변화를, (f)는 제어전압(CON)의 변화를, (g)는 플로팅 웨爾 전압(VFW)의 변화를, (h)는 입력 신호(IN)의 전압 변화를 각각 나타내는 것이다.

<37> 그리고, 도4에서, GND로 나타낸 것은 접지전압 레벨을 의미한다.

<38> 도4를 이용하여 도3에 나타낸 회로의 동작을 설명하면 다음과 같다.

<39> 전원전압(VDD)이 인가되고, 도4의 (a)에 나타낸 바와 같이 패드(20)로 접지전압 레벨로부터 전원전압(VDD)에 PMOS트랜지스터(P3)의 문턱전압(V_{tp})을 더한 전압($VDD+V_{tp}$)보다 작은 전압이 인가되면, PMOS트랜지스터(P3)가 오프되어 도4의 (b)에 나타낸 바와 같이 노드(B)는 접지전압 레벨로 되고, NMOS트랜지스터(N8)는 패드(20)로 인가되는 전압을 전송한다. 이때, NMOS트랜지스터(N8)를 통하여 전송되는 전압이 PMOS트랜지스터(P10)와 NMOS트랜지스터(N9)의 트립 전압에 다다를 때까지는 PMOS트랜지스터들(P9, P10)이 온되고 NMOS트랜지스터(N9)가 오프되어 도4의 (d)에 나타낸 바와 같이 전원전압(VDD) 레벨의 고전압 검출 리셋 신호(VRE)를 발생한다. 그러나, NMOS트랜지스터(N8)를 통하여 전송되는 전압이 PMOS트랜지스터(P10)와 NMOS트랜지스터(N9)의 트립 전압이상이 되면 PMOS트랜지스터들(P9, P10)이 오프되고 NMOS트랜지스터(N9)가 온되어 도4의 (d)에 나타낸 바와

같이 접지전압 레벨의 고전압 검출 리셋 신호(VRE)를 발생한다. 전원전압(VDD) 레벨의 고전압 검출 리셋 신호(VRE)가 발생되면 NMOS트랜지스터(N4)가 온되어 도4의 (c)에 나타낸 바와 같이 노드(C)를 접지전압 레벨을 만든다. 그리고, PMOS트랜지스터들(P4, P5)이 온되어 도4의 (e)에 나타낸 바와 같이 전원전압(VDD) 레벨의 고전압 검출신호(VDET)를 발생한다. 전원전압(VDD) 레벨의 고전압 검출신호(VDET)가 발생되면 NMOS트랜지스터(N7)가 온되어 도4의 (f)에 나타낸 바와 같이 접지전압 레벨의 제어전압(CON)을 발생한다. 그리고, PMOS트랜지스터(P7)가 온되고 PMOS트랜지스터들(P6, P8)이 오프되어 도4의 (g)에 나타낸 바와 같이 전원전압(VDD) 레벨의 플로팅 웰 전압(VFW)을 발생한다. PMOS트랜지스터(P2)는 온되어 패드(20)를 전원전압 레벨로 풀업한다. NMOS트랜지스터(N2)는 패드(20)의 전압을 전송하고, 버퍼(BUF2)는 NMOS트랜지스터(N2)를 통하여 전송되는 신호의 전압이 버퍼(BUF2)의 트립 전압에 다다르면 도4의 (h)에 나타낸 바와 같이 전원전압(VDD) 레벨의 입력 신호(IN)를 발생한다.

<40> 즉, 전원전압(VDD)이 인가되고, 패드(20)로 전압(VDD+Vtp) 레벨보다 작은 전압이 인가되면, 전원전압(VDD) 레벨의 고전압 검출신호(VDET), 고전압 검출 리셋 신호(VRE), 및 플로팅 웰 전압(VFW)를 발생하고, 접지전압 레벨의 제어전압(CON)을 발생한다. 따라서, 풀업 수단인 PMOS트랜지스터(P2)가 온되어 패드(20)를 전원전압 레벨로 풀업한다. 이에 따라, 패드(20)에 연결된 외부의 장치 내부의 패드가 플로팅 상태가 됨으로 인해서 외부의 장치 내부의 패드에 연결된 입력 버퍼를 통한 누설 전류가 발생되는 것이 방지될 수 있다.

<41> 그리고, 전원전압(VDD)이 인가되고, 도4의 (a)에 나타낸 바와 같이 패드(20)로 전압(VDD+Vtp) 레벨이상의 전압이 인가되면, PMOS트랜지스터(P3)가 온되어 도4의 (b)에 나

타낸 바와 같이 노드(B)로 패드(20)의 전압이 전송된다. NMOS트랜지스터(N3)는 노드(B)의 전압을 전송하여 도4의 (c)에 나타낸 바와 같이 노드(C)를 전압(VDD-Vtn)으로 만든다. NMOS트랜지스터(N8)는 패드(20)의 전압을 전송하고, NMOS트랜지스터(N9)는 NMOS트랜지스터(N8)를 통하여 전송되는 신호에 응답하여 온되어 도4의 (d)에 나타낸 바와 같이 접지전압 레벨의 고전압 검출 리셋 신호(VRE)를 발생한다. NMOS트랜지스터(N4)는 오프되고, NMOS트랜지스터(N5)는 노드(C)의 전압에 응답하여 온되어 도4의 (e)에 나타낸 바와 같이 접지전압 레벨의 고전압 검출 신호(VDET)를 발생한다. NMOS트랜지스터(N7)와 PMOS트랜지스터(P7)는 오프되고, PMOS트랜지스터들(P6, P8)은 온되어 도4의 (f) 및 (g)에 나타낸 바와 같이 패드(20)로 인가되는 전압과 동일한 전압 레벨의 제어전압(CON) 및 플로팅 웨尔 전압(VFW)을 발생한다. PMOS트랜지스터(P2)는 오프되고, NMOS트랜지스터(N2)는 패드(20)의 전압을 전송하고, 버퍼(BUF2)는 NMOS트랜지스터(N2)로 전송되는 전압에 응답하여 도4의 (h)에 나타낸 바와 같이 전원전압(VDD) 레벨의 입력 신호(IN)를 발생한다.

<42> 즉, 전원전압(VDD)이 인가되고, 패드(20)로 전압(VDD+Vtp) 레벨보다 높은 전압이 인가되면, 접지전압 레벨의 고전압 검출신호(VDET) 및 고전압 검출 리셋 신호(VRE)를 발생하고, 패드(20)로 인가되는 전압과 동일한 레벨의 전압을 플로팅 웨尔 전압(VFW) 및 제어전압(CON)을 발생한다. 따라서, 풀업 수단인 PMOS트랜지스터(P2)가 오프됨으로써 PMOS트랜지스터(P2)가 패드(20)로 고전압이 인가되는 경우에 보호될 수 있다.

<43> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<44> 따라서, 본 발명의 입력 버퍼는 패드가 플로팅 상태로 되는 경우에 패드를 전원전압 레벨로 풀업함으로써 외부의 장치의 패드에 연결된 입력 버퍼를 통한 누설 전류를 방지할 수 있다.

<45> 또한, 본 발명의 입력 버퍼는 패드로 고전압이 인가되는 경우에 풀업 수단이 오프됨으로써 풀업 수단이 고전압으로부터 보호될 수 있다.

【특허청구범위】**【청구항 1】**

전원전압과 패드사이에 연결되고 제어전압이 인가되는 게이트와 플로팅 웰 전압이 인가되는 기판을 가진 풀업 트랜지스터;

전원전압이 인가되는 게이트와 접지전압에 연결된 기판을 가지고 상기 패드로 인가되는 신호를 전송하는 전송 트랜지스터;

상기 전송 트랜지스터로 인가되는 신호를 버퍼하여 입력 신호를 발생하는 버퍼; 및 상기 패드로 고전압이 인가되면 상기 패드로 인가되는 전압을 상기 제어전압 및 플로팅 웰 전압으로 발생하고, 상기 패드로 상기 고전압미만의 전압이 인가되면 상기 제어전압으로 접지전압을, 상기 플로팅 웰 전압으로 전원전압을 발생하는 제어수단을 구비하는 것을 특징으로 하는 입력 버퍼.

【청구항 2】

제1항에 있어서, 상기 고전압은

상기 전원전압보다 높은 전압인 것을 특징으로 하는 입력 버퍼.

【청구항 3】

제1항에 있어서, 상기 제어수단은

상기 패드로 고전압이 인가되면 고전압 검출신호를 발생하는 고전압 검출회로;

상기 패드로 고전압미만의 전압이 인가되면 상기 고전압 검출신호를 리셋하기 위한 고전압 검출 리셋 신호를 발생하는 고전압 검출 리셋 회로; 및

상기 고전압 검출신호가 발생되면 상기 패드로 인가되는 전압을 상기 제어 전압 및 상기 플로팅 웰 전압으로 발생하고, 상기 고전압 검출신호가 리셋되면 접지전압을 상기 제어전압으로, 전원전압을 상기 플로팅 웰 전압으로 발생하는 제어전압 및 플로팅 웰 전압 발생회로를 구비하는 것을 특징으로 하는 입력 버퍼.

【청구항 4】

제3항에 있어서, 상기 고전압 검출회로는

상기 패드와 제1노드사이에 연결되고 전원전압이 인가되는 게이트와 상기 플로팅 웰 전압이 인가되는 기판을 가진 제1PMOS트랜지스터;

상기 제1노드와 제2노드사이에 연결되고 전원전압이 인가되는 게이트와 접지전압이 인가되는 기판을 가진 제1NMOS트랜지스터;

상기 제2노드에 연결된 드레인과 상기 고전압 검출 리셋 신호가 인가되는 게이트와 접지전압에 연결된 소스와 기판을 가진 제2NMOS트랜지스터;

전원전압에 연결된 소스 및 기판과 상기 제1노드에 연결된 게이트를 가진 제2PMOS 트랜지스터;

상기 제2PMOS트랜지스터의 드레인에 연결된 소스와 상기 제2노드에 연결된 게이트와 전원전압에 연결된 기판을 가진 제3PMOS트랜지스터;

상기 제2노드에 연결된 게이트와 상기 제3PMOS트랜지스터의 드레인에 연결된 드레인과 접지전압에 연결된 소스 및 기판을 가진 제3NMOS트랜지스터를 구비하고,

상기 제3PMOS트랜지스터의 드레인을 통하여 상기 고전압 검출신호를 발생하는 것을 특징으로 하는 입력 버퍼.

【청구항 5】

제3항에 있어서, 상기 고전압 검출 리셋 회로는

상기 패드와 제3노드사이에 연결되고 전원전압이 인가되는 게이트와 접지전압에

연결된 기판을 가진 제4NMOS트랜지스터;

전원전압이 인가되는 소스 및 기판과 상기 패드에 연결된 게이트를 가진 제4PMOS트

랜지스터;

상기 제4PMOS트랜지스터의 드레인에 연결된 소스와 전원전압이 인가되는 기판과

상기 제3노드에 연결된 게이트를 가진 제5PMOS트랜지스터; 및

상기 제5PMOS트랜지스터에 연결된 드레인과 상기 제3노드에 연결된 게이트와 접지

전압에 연결된 소스 및 기판을 가진 제5NMOS트랜지스터를 구비하고,

상기 제5PMOS트랜지스터의 드레인을 통하여 상기 고전압 검출 리셋 신호를 발생하는 것을 특징으로 하는 입력 버퍼.

【청구항 6】

제3항에 있어서, 상기 제어전압 및 플로팅 웨爾 전압 발생회로는

전원전압이 인가되는 소스/드레인과 제4노드에 연결된 게이트와 플로팅 웨爾 전압이

인가되는 드레인/소스 및 기판을 가진 제6PMOS트랜지스터;

상기 제4노드에 연결된 소스/드레인과 전원전압이 인가되는 게이트와 상기 패드에 연결된 드레인/소스와 상기 플로팅 웨爾 전압이 인가되는 기판을 가진 제7PMOS트랜지스터;

상기 제4노드와 상기 패드사이에 연결되고 전원전압이 인가되는 게이트와 상기 플로팅 웨爾 전압이 인가되는 기판을 가진 제8PMOS트랜지스터;

전원전압이 인가되는 게이트와 상기 제4노드에 연결된 드레인과 접지전압에 연결된 기판을 가진 제6NMOS트랜지스터; 및 상기 제6NMOS트랜지스터의 소스에 연결된 드레인과 상기 고전압 검출 신호가 인가되는 게이트와 접지전압에 연결된 기판 및 소스를 가진 제7NMOS트랜지스터를 구비하고, 상기 제4노드를 통하여 상기 제어전압을 발생하고, 상기 제6PMOS트랜지스터의 드레인/소스를 통하여 상기 플로팅 웨爾 전압을 발생하는 것을 특징으로 하는 입력 버퍼.

【청구항 7】

전원전압과 패드사이에 연결된 풀업 트랜지스터;
전원전압이 인가되는 게이트와 접지전압에 연결된 기판을 가지고 상기 패드로 인가되는 신호를 전송하는 전송 트랜지스터;
상기 전송 트랜지스터로 인가되는 신호를 버퍼하여 입력 신호를 발생하는 버퍼; 및
상기 패드로 고전압이 인가되면 상기 풀업 트랜지스터를 오프하고, 상기 패드로 상기 고전압미만의 전압이 인가되면 상기 풀업 트랜지스터를 온하는 제어수단을 구비하는 것을 특징으로 하는 입력 버퍼.

【청구항 8】

제7항에 있어서, 상기 제어수단은
상기 패드로 고전압이 인가되면 고전압 검출신호를 발생하고, 상기 패드로 고전압 미만의 전압이 인가되면 상기 고전압 검출신호를 리셋하는 고전압 검출 회로; 및
상기 고전압 검출신호가 발생되면 상기 패드로 인가되는 전압을 상기 풀업 트랜지스터의 게이트와 기판으로 인가하고, 상기 고전압 검출신호가 리셋되면 접지전압 및 전

원전압을 상기 풀업 트랜지스터의 게이트와 기판으로 인가하는 제어전압 및 플로팅 웨爾 전압 발생회로를 구비하는 것을 특징으로 하는 입력 버퍼.

【청구항 9】

제8항에 있어서, 상기 고전압 검출 회로는
상기 패드로 고전압이 인가되면 고전압 검출신호를 발생하는 고전압 검출회로; 및
상기 패드로 고전압미만의 전압이 인가되면 상기 고전압 검출신호를 리셋하기 위한
고전압 검출 리셋 신호를 발생하는 고전압 검출 리셋 회로를 구비하는 것을 특징으로 하
는 입력 버퍼.

【청구항 10】

제9항에 있어서, 상기 고전압 검출회로는
상기 패드와 제1노드사이에 연결되고 전원전압이 인가되는 게이트와 상기 플로팅
웨爾 전압이 인가되는 기판을 가진 제1PMOS트랜지스터;
상기 제1노드와 제2노드사이에 연결되고 전원전압이 인가되는 게이트와 접지전압이
인가되는 기판을 가진 제1NMOS트랜지스터;
상기 제2노드에 연결된 드레인과 상기 고전압 검출 리셋 신호가 인가되는 게이트
와 접지전압에 연결된 소스와 기판을 가진 제2NMOS트랜지스터;
전원전압에 연결된 소스 및 기판과 상기 제1노드에 연결된 게이트를 가진 제2PMOS
트랜지스터;
상기 제2PMOS트랜지스터의 드레인에 연결된 소스와 상기 제2노드에 연결된 게이트
와 전원전압에 연결된 기판을 가진 제3PMOS트랜지스터;

상기 제2노드에 연결된 게이트와 상기 제3PMOS트랜지스터의 드레인에 연결된 드레인과 접지전압에 연결된 소스 및 기판을 가진 제3NMOS트랜지스터를 구비하고, 상기 제3PMOS트랜지스터의 드레인을 통하여 상기 고전압 검출신호를 발생하는 것을 특징으로 하는 입력 버퍼.

【청구항 11】

제9항에 있어서, 상기 고전압 검출 리셋 회로는 상기 패드와 제3노드사이에 연결되고 전원전압이 인가되는 게이트와 접지전압에 연결된 기판을 가진 제4NMOS트랜지스터;

전원전압이 인가되는 소스 및 기판과 상기 패드에 연결된 게이트를 가진 제4PMOS트랜지스터;

상기 제4PMOS트랜지스터의 드레인에 연결된 소스와 전원전압이 인가되는 기판과 상기 제3노드에 연결된 게이트를 가진 제5PMOS트랜지스터; 및

상기 제5PMOS트랜지스터에 연결된 드레인과 상기 제3노드에 연결된 게이트와 접지전압에 연결된 소스 및 기판을 가진 제5NMOS트랜지스터를 구비하고, 상기 제5PMOS트랜지스터의 드레인을 통하여 상기 고전압 검출 리셋 신호를 발생하는 것을 특징으로 하는 입력 버퍼.

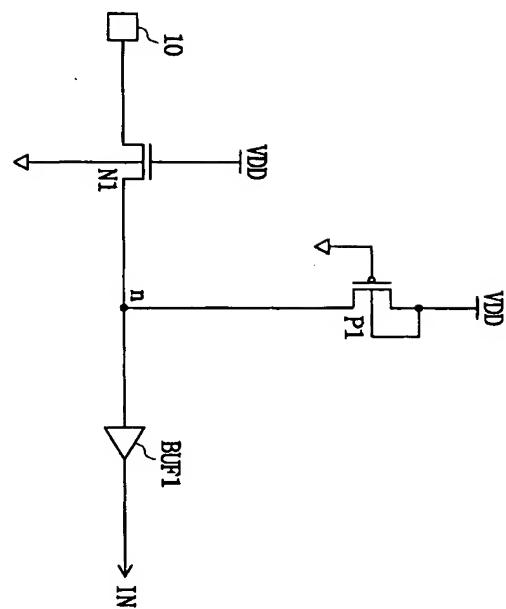
【청구항 12】

제8항에 있어서, 상기 제어전압 및 플로팅 웰 전압 발생회로는 전원전압이 인가되는 소스/드레인과 제4노드에 연결된 게이트와 플로팅 웰 전압이 인가되는 드레인/소스 및 기판을 가진 제6PMOS트랜지스터;

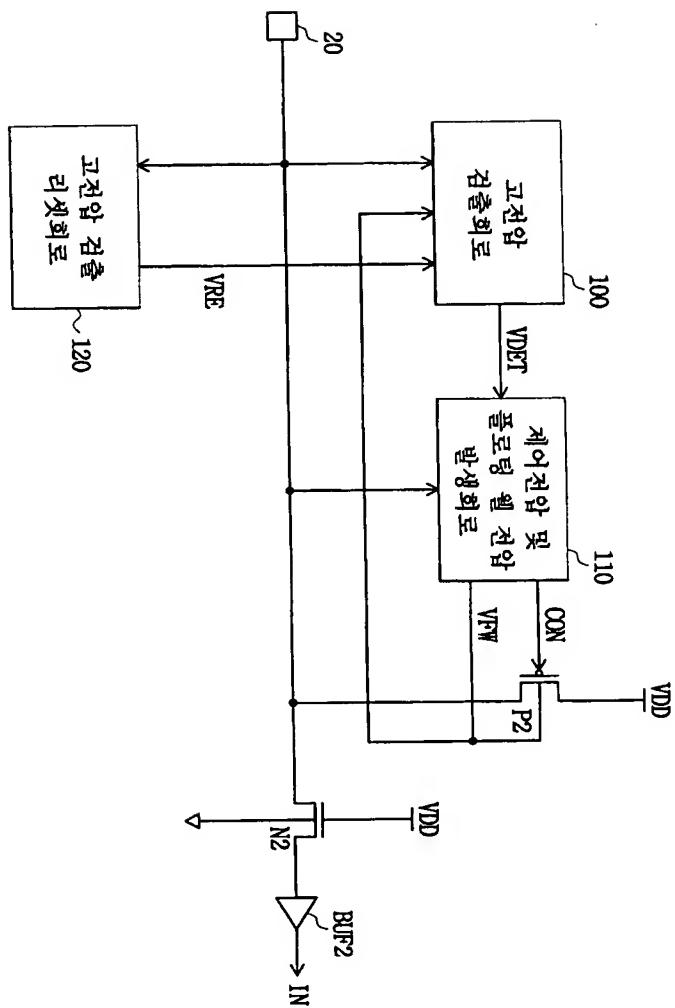
상기 제4노드에 연결된 소스/드레인과 전원전압이 인가되는 게이트와 상기 패드에 연결된 드레인/소스와 상기 플로팅 웰 전압이 인가되는 기판을 가진 제7PMOS트랜지스터; 상기 제4노드와 상기 패드사이에 연결되고 전원전압이 인가되는 게이트와 상기 플로팅 웰 전압이 인가되는 기판을 가진 제8PMOS트랜지스터; 상기 제4노드와 상기 제4노드에 연결된 드레인과 접지전압에 연결된 기판을 가진 제6NMOS트랜지스터; 및 상기 제6NMOS트랜지스터의 소스에 연결된 드레인과 상기 고전압 검출 신호가 인가되는 게이트와 접지전압에 연결된 기판 및 소스를 가진 제7NMOS트랜지스터를 구비하고, 상기 제4노드를 통하여 상기 제어전압을 발생하고, 상기 제6PMOS트랜지스터의 드레인/소스를 통하여 상기 플로팅 웰 전압을 발생하는 것을 특징으로 하는 입력 버퍼.

【도면】

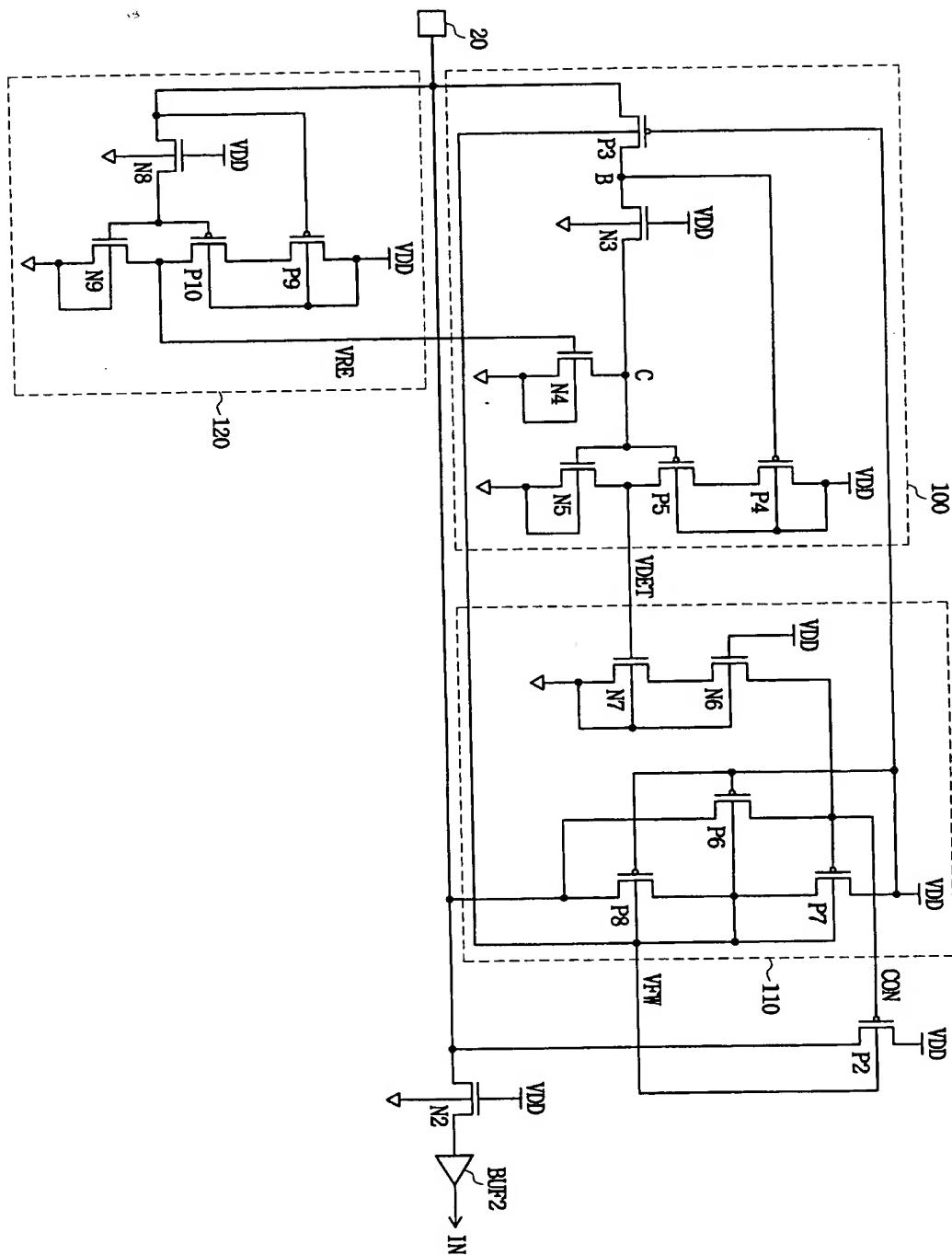
【도 1】



【도 2】



【도 3】



1020020079348

출력 일자: 2003/5/20

【도 4】

